



Docket No.: MUH-12604

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 4, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Gerald Deboy et al.  
Appl. No. : 10/629,107  
Filed : July 1, 2903  
Title : Configuration for Generating a Voltage Sense Signal in a Power Semiconductor Component

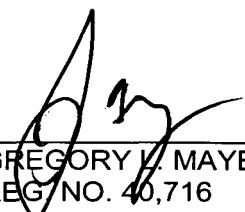
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 34 493.0 filed July 29, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY V. MAYBACK  
REG. NO. 40,716

Date: September 4, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 34 493.0

**Anmeldetag:** 29. Juli 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Anordnung zur Erzeugung eines Spannungssense-Signales in einem Leistungshalbleiterbauelement

**IPC:** H 01 L, H 03 K

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. Juni 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Hoß

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12171

Ko/gr

Anmelderzeichen: 200206393  
(2002 E 06390 DE)

29.07.2002

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**Anordnung zur Erzeugung eines Spannungssense-Signales  
in einem Leistungshalbleiterbauelement**

---

---

Beschreibung

Anordnung zur Erzeugung eines Spannungssense-Signales in einem Leistungshalbleiterbauelement

5

Die vorliegende Erfindung betrifft eine Anordnung zur Erzeugung eines zu einer zwischen Source und Drain eines Leistungshalbleiterbauelementes, insbesondere eines Leistungstransistors, anliegenden Hochspannung proportionalen Niederspannungssignales, mit einem Halbleiterkörper, in dem das Leistungshalbleiterbauelement ausgebildet ist.

10

15

In zahlreichen Anwendungen von Leistungshalbleiterbauelementen, insbesondere Leistungstransistoren oder auch IGBTs, muss die zwischen Drain und Source bzw. Kollektor und Emitter anliegende Hochspannung überwacht werden, um den genauen Spannungsverlauf kontrollieren und gegebenenfalls vor einer Zerstörung des Leistungshalbleiterbauelementes eingreifen zu können. Hierzu muss ein zu der zwischen Drain und Source anliegendes Hochspannung möglichst proportionales Niederspannungssignal, ein so genanntes Spannungs-Sensesignal, gewonnen werden, das einer die zwischen Drain und Source anliegende Hochspannung steuernden Einheit, beispielsweise einem Control-IC, zugeführt wird. In dem Control-IC wird dann der Zeitpunkt detektiert, in welchem die Spannung über dem Leistungshalbleiterbauelement bzw. dessen Halbleiterkörper oder Chip zusammenbricht oder ansteigt. Beispielsweise ist es so möglich, genau den Verlauf des Gatespannungsanstieges bzw. -abfalles aus EMV-Gründen zu verlangsamen, wenn ein durch den Leistungstransistor realisierter Schalter tatsächlich zu schalten beginnt. Ohne ein den Verlauf der Hochspannung zwischen Drain und Source anzeigendes Spannungssense-Signal lässt sich dieser Zeitpunkt nicht erkennen, da das so genannte "Millerplateau" im Spannungsverlauf, an welchem der Schalter tatsächlich schaltet, von dessen Einsatzspannung, Laststrom und Temperatur abhängt. Wird jedoch ein zu der zwischen

20

25

30

35

Drain und Source anliegenden Hochspannung proportionales Spannungssense-Signal erzeugt, so ist eine adaptive Kontrolle des Schaltzeitpunktes des durch den Leistungstransistor realisierten Schalters möglich.

5

Eine weitere Anwendungsmöglichkeit für eine Anordnung zur Erzeugung eines zu einer zwischen Source und Drain eines Leistungstransistors anliegenden Hochspannung proportionalen Niederspannungssignales als Spannungssense-Signal ist in der Detektion des Spannungsulldurchganges eines durch den Leistungstransistor realisierten Schalters zu sehen. Durch Detektion des Spannungsulldurchganges können beispielsweise resonante oder quasi-resonante Schaltungstopologien realisiert werden.

15

Weiterhin kann mit Hilfe eines Spannungssense-Signales als ein zur Hochspannung zwischen Drain und Source proportionales Signal auch eine Überwachung einer Zwischenkreisspannung vorgenommen werden, um beispielsweise bei Schaltnetzteilen rechtzeitig das gesamte Gerät abschalten zu können, bevor darin verwendete Leistungstransistoren durch Induktivitäten einen Avalanche-Durchbruch erfahren. Dies könnte geschehen, wenn bei einer zu hohen Zwischenkreisspannung der Haupttransistor des Schaltnetzteiles einschaltet und die Summe aus der Zwischenkreisspannung und der Flybackspannung des Schaltnetzteiles mit Flyback-Converter die Durchbruchspannung des Haupttransistors übersteigt.

20

25

30

35

Es besteht also ein erheblicher Bedarf an einer Anordnung, mit der ein zur Hochspannung zwischen Drain und Source proportionales Niederspannungssignal als Spannungssense-Signal erzeugt werden kann. Für eine solche Anordnung wird bisher zur Spannungsdetektion ein externer Widerstands- und/oder kapazitiver Spannungsteiler eingesetzt, was zusätzliche Bauteile bzw. Komponenten erforderlich macht und zu einem hohen Bestückungsaufwand beiträgt.

Es ist somit Aufgabe der vorliegenden Erfindung, eine einfach aufgebaute und einen möglichst geringen Aufwand erforderlich machende Anordnung zur Erzeugung eines Niederspannungssignales, das zu einer zwischen Source und Drain eines Leistungshalbleiterbauelementes liegenden Hochspannung proportional ist, zu schaffen.

Diese Aufgabe wird bei einer Anordnung der eingangs genannten Art erfindungsgemäß dadurch gelöst, dass im Halbleiterkörper parallel zur Source-Drain-Strecke des Leistungshalbleiterbauelements ein kapazitiver Spannungsteiler ausgebildet ist, der aus der seriellen Schaltung einer Source-Gate-Kapazität als Niederspannungsabgriff-Element und einer Source-Drain-Kapazität als Hochspannungselement besteht.

Bei der erfindungsgemäßen Anordnung wird also zusammen mit dem Leistungshalbleiterbauelement, insbesondere zusammen mit einem Leistungstransistor, ein kapazitiver Spannungsteiler realisiert, der sich aus der seriellen Schaltung der Source-Gate-Kapazität als Niederspannungsabgriff-Element und der Source-Drain-Kapazität als Hochspannungselement zusammensetzt. Da die Source-Drain-Kapazität in Leistungstransistoren einen monoton von der Spannung zwischen Drain und Source abhängigen nichtlinearen Verlauf hat, ergibt sich für die beiden Kapazitäten, also die Source-Drain-Kapazität und die Source-Gate-Kapazität, ein monotones, nichtlineares Teilungsverhältnis.

Die erfindungsgemäße Anordnung ist ohne weiteres in Nieder-volt-, Hochvolt-, Lateral- und Vertikal-Leistungshalbleiterbauelementen, insbesondere Leistungstransistoren, anwendbar, wobei diese Bauelemente „konventionell“ oder nach dem Kompensationsprinzip, also als Kompensationsbauelemente mit p- und n-leitenden Gebieten in der Driftstrecke zur Ladungskompensation ausgeführt sein können. Die Anwendung bei Kompensations-

bauelementen ist jedoch besonders vorteilhaft, da bei diesen die Source-Drain-Kapazität und damit die Ausgangskapazität bei relativ großen Source-Drain-Spannungen einen sehr kleinen, konstanten Wert annimmt. Das Spannungssense-Signal, das aus der Source-Gate-Kapazität gewonnen ist, bildet bei Source-Drain-Spannungen von über 100 V hier dann praktisch eine lineare Funktion der Source-Drain-Spannung.

Die Höhe des Spannungssense-Signales kann mittels des Verhältnisses aus der Source-Gate-Kapazität zur Source-Drain-Kapazität eingestellt werden, um so zum Beispiel in vorteilhafter Weise mit der Eingangsspannungsfestigkeit eines Niedervolt-Control-ICs, also der Steuereinheit für den Leistungstransistor, zu harmonisieren. Die jeweiligen Kapazitäten lassen sich ohne weiteres durch Variation der Gatefläche über dem Sourcegebiet mittels Öffnungen in der Gateelektrode und/oder durch Variation der Dicke der Gate-Isolierschicht anpassen.

Die Auslesung des Spannungssense-Signales in dem Control-IC kann beispielsweise durch Messung des Spannungsabfalles an einer parallel geschalteten Eingangskapazität oder einem Widerstand erfolgen. Wird kapazitiv ausgelesen, so können entsprechend Informationen über Wechselstrom- und Gleichstromsignale erhalten werden, die zwischen Source und Drain des Leistungshalbleiterbauelementes anliegen. Allerdings tritt dann zwischen dem Einschalten und dem Ausschalten eine Hysteresekurve auf. Wird dagegen über einen Widerstand ausgelesen, so werden nur Informationen über Spannungsänderungen ermittelt, da das Spannungssense-Signal nach Spannungsänderungen zeitlich auf Null abklingt. Für eine Detektion des Schaltzeitpunktes eines durch das Leistungshalbleiterbauelement gebildeten Schalters ist diese Information ausreichend. Mit ihr kann auch die Hysterese gegebenenfalls eliminiert werden.

Die erfindungsgemäße Anordnung ist ohne weiteres zu realisieren, da für sie keine zusätzlichen Masken bzw. zusätzlichen Maskierungsschritte benötigt werden. Vorzugsweise wird im Bereich des kapazitiven Spannungsteilers, also im so genannten "Sensebereich" eine vom Gate des eigentlichen Leistungshalbleiterbauelementes, insbesondere Leistungstransistors, abgetrennte Gateelektrode über ein Kontaktloch in einer Isolierschicht mit Source des Leistungshalbleiterbauelementes verbunden. Bei einem n-leitenden Halbleiterkörper wird das Spannungssense-Signal an p-leitenden Wannen erhalten. Eine Drainelektrode des kapazitiven Spannungsteilers ist mit Drain des Leistungshalbleiterbauelementes bzw. Leistungstransistors verbunden.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine schematische Schnittdarstellung der erfindungsgemäßen Anordnung,

Fig. 2 ein Ersatzschaltbild für die Anordnung von Fig. 1,

Fig. 3 bis 5 verschiedene Diagramme zur Erläuterung eines Einschalt- und Ausschaltvorganges mit kapazitivem Auslesen des Spannungssense-Signales, und

Fig. 6 eine schematische Draufsicht der erfindungsgemäßen Anordnung in einer Lateralstruktur.

Fig. 1 zeigt einen Halbleiterkörper 1 aus einem  $n^+$ -leitenden Substrat 2, auf dem eine  $n^-$ -leitende epitaktische Schicht 3 aufgebracht ist. Für das Halbleitersubstrat 1 wird in bevorzugter Weise Silizium verwendet. Es können aber auch andere Materialien, wie beispielsweise SiC und so weiter, eingesetzt werden.



In der n-dotierten Schicht 3 können sich p-leitende Kompensationsgebiete 4 (strichliert angedeutet) befinden, die alternierend mit n-dotierten Gebieten der Schicht 3 angeordnet sind und für Ladungskompensation sorgen. Das heißt, n- und p-leitende Gebiete wechseln einander ab. Die Vorteile einer solchen Ladungskompensation, insbesondere hinsichtlich einer Verringerung des Einschaltwiderstandes sind an sich bekannt. Die vorliegende Erfindung ist in gleicher Weise auf Leistungshalbleiterbauelemente mit und ohne Kompensationsgebiete anwendbar. Auf die speziell mit Kompensationsgebieten zu erzielenden Vorteile wurde jedoch bereits oben hingewiesen.

In die epitaktische Schicht 3 sind im Bereich von deren Oberfläche p-leitende Wannen 5 eingebracht. In den Wannen 5 ist außer den Randzellen eine  $n^+$ -leitende Sourcezone 6 vorgesehen. Es sei angemerkt, dass die angegebenen Leitungstypen auch jeweils gerade umgekehrt sein können. Das heißt, das Substrat 2 und die Schicht 3 können p-leitend, die Wannen 5 n-leitend und die Sourcezone 6 p-leitend sein.

Auf der Oberfläche der epitaktischen Schicht 3 ist eine Isolierschicht 7 mit Gateoxid 7a und Zwischenoxid 7b aus beispielsweise Siliziumdioxid und/oder Siliziumnitrid vorgesehen. In diese Isolierschicht 7 sind Gateelektroden 8 und Feldplatten 9 aus vorzugsweise hochdotiertem polykristallinem Silizium eingelagert.

Schließlich sind in Fig. 1 in einem linken Transistorbereich I noch eine Sourcemetallisierung 10 und in einem rechten Bereich II eine Spannungssense-Metallisierung 11 vorgesehen. Beide Metallisierung 10 und 11 können beispielsweise aus Aluminium bestehen.

Auf der Rückseite des Halbleitersubstrates 2 befindet sich noch eine Drainmetallisierung 12 aus beispielsweise ebenfalls

Aluminium. Die Drainmetallisierung 12 überdeckt dabei sowohl den Transistorbereich I als auch den Spannungssense-Bereich II.

5 Die Sourcemetallisierung 10 ist über ein Kontaktloch in der Isolierschicht 7, das mit einem Metallstöpsel 13 aus beispielsweise Aluminium gefüllt ist, mit der Gateelektrode 8 im Spannungssense-Bereich II verbunden. Die in diesem Spannungssense-Bereich II vorhandenen Gateelektroden 8 können zusammenhängend gestaltet sein. Auch ist es möglich, in dem Bereich II die p-leitenden Wannen 5 mit Sourcezonen 6 zu versehen. Dies muss aber nicht der Fall sein. Das heißt, hier sind die Sourcezonen 6 optional vorhanden. Aus diesem Grund ist in dem Spannungssense-Bereich II auch nur eine Sourcezone 6  
10  
15 zeichnerisch dargestellt.

Im Transistorbereich I ist die Sourcemetallisierung 10 mit einem Sourceanschluss S verbunden, während die Gateelektrode 8 an einen Gateanschluss G angeschlossen ist. Weiterhin ist  
20 im Spannungssense-Bereich II die Spannungssense-Metallisierung 11 mit einem Spannungssense-Anschluss VS verbunden.

Die Drainmetallisierung 12 ist an einen Drainanschluss D angeschlossen.

25 Der Spannungssense-Anschluss VS kann an eine Niedervolt-Control-Einheit 14 angeschlossen sein. Diese Einheit 14 kann zusammen mit der beschriebenen Anordnung in einem IC enthalten sein.

30 Fig. 2 zeigt ein Ersatzschaltbild für die Anordnung von Fig. 1. Die Kapazität C1 zwischen Sourceanschluss S und Spannungssense-Anschluss VS wird im Wesentlichen durch die Kapazität der Isolierschicht 7 zwischen der Gateelektrode 8 und der p-Wanne 5 gebildet, während die Kapazität C2 zwischen dem Span-  
35

nungssense-Anschluss VS und Drain durch den pn-Übergang zwischen der Wanne 5 und der Schicht 3 entsteht.

Die Gatefläche im Spannungssense-Bereich II kann durch Variation der Größe von Öffnungen 15 für die Spannungssense-Metallisierung 11 eingestellt werden. Ebenso lässt sich die Dicke des Gateoxids, also die Dicke des Gateoxids 7a der Isolierschicht 7 unterhalb der Gateelektroden 8 verändern. Durch diese Änderungen ist es möglich, das Verhältnis zwischen der Source-Gate-Kapazität und der Source-Drain-Kapazität so einzustellen, dass das Spannungssense-Signal am Spannungssense-Anschluss VS die gewünschte Höhe hat, um mit der Eingangsspannungsfestigkeit der Niedervolt-Control-Einheit 14 zu harmonisieren.

Die Auslesung des Spannungssense-Signales in der Niedervolt-Control-Einheit 14 erfolgt vorzugsweise durch Messung von dessen Spannungsabfall an einer parallel geschalteten Eingangskapazität C oder einem Widerstand R.

Wird kapazitiv, also über die Eingangskapazität C in der Control-Einheit 14 ausgelesen, so werden Informationen über Gleichstrom- und Wechselstromsignale erhalten, wobei zwischen Einschalten und Ausschalten eine Hysteresekurve vorliegt.

Beispielsweise zeigt Fig. 3 in einer Strichlinie die zwischen Sourceanschluss S und Drainanschluss D liegende Drainspannung  $V_{\text{DRAIN}}$  und in einer Volllinie die Spannungssense-Spannung VS ( $V_{\text{SOURCE}}$ ) in Abhängigkeit von der Zeit, während die Fig. 4 und 5 den Verlauf des Spannungssense-Signales  $V_{\text{SOURCE}}$  in Abhängigkeit von der Source-Drain-Spannung  $V_{\text{DRAIN}}$  für einen Einschaltvorgang („Einschalten“ obere beide Kurven) und einen Ausschaltvorgang („Ausschalten“ untere beide Kurven) des Leistungstransistors im Bereich I bei unterschiedlichen Spannungsteilheiten (Fig. 4:  $dV/dt = 600 \text{ V}/10 \text{ ns}$  in Strichlinie und  $dV/dt = 600 \text{ V}/100 \text{ ns}$  in Volllinie; Fig. 5:  $dV/dt =$

---

600 V/10 ns in Strichlinie) für einen hohen Sensewiderstand (Fig. 4) bzw. niedrigen Sensewiderstand (Fig. 5) veranschaulichen.

- 5 Fig. 6 zeigt die erfindungsgemäße Anordnung in einer Draufsicht auf eine Lateralstruktur. Der Metallstöpsel 13 ist auch hier zwischen der Sourcemetallisierung 10 im Transistorbereich I und der Gateelektrode 8 im Spannungssense-Bereich II geführt. Die Kompensationsgebiete 4 können - wie im Übrigen
- 10 auch bei der Vertikalstruktur der Fig. 1 - floatend (vgl. Fig. 6) oder aber auch an die p-Wannen 5 angeschlossen (vgl. Fig. 1) sein. Anstelle von säulenförmigen Kompensationsgebieten 4 können auch kugelförmige Kompensationsgebiete 4' vorhanden sein.

---

Patentansprüche

1. Anordnung zur Erzeugung eines zu einer zwischen Source (S) und Drain (D) eines Leistungshalbleiterbauelements (vgl. Bereich I) insbesondere eines Leistungstransistors, anliegenden Hochspannung proportionalen Niederspannungssignales ( $V_{SOURCE}$ ), mit einem Halbleiterkörper (1), in dem das Leistungshalbleiterbauelement ausgebildet ist,

d a d u r c h g e k e n n z e i c h n e t ,

dass im Halbleiterkörper (1) parallel zur Source-Drain-Strecke des Leistungshalbleiterbauelements ein kapazitiver Spannungsteiler (C1, C2) vorgesehen ist, der aus der seriellen Schaltung einer Source-Gate-Kapazität als Niederspannungsabgriff-Element und einer Source-Drain-Kapazität als Hochspannungselement besteht.

2. Anordnung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

dass das Verhältnis zwischen der Source-Gate-Kapazität und der Source-Drain-Kapazität durch Variation der Gatefläche (vgl. 8) über einer Sourcezone (6) mittels Öffnungen (15) und/oder Variation der Dicke einer Gate-Isolierschicht (7) einstellbar ist.

3. Anordnung nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t ,

dass eine Spannungssense-Metallisierung (11), an der das Niederspannungssignal ( $V_{SOURCE}$ ) abgegriffen wird, mit einem Niedervolt-Control-IC (14) verbunden ist.

4. Anordnung nach Anspruch 3,

d a d u r c h g e k e n n z e i c h n e t ,

dass im Niedervolt-Control-IC (14) das Niederspannungssignal ( $V_{SOURCE}$ ) über einer Eingangskapazität (C) und/oder über einem Widerstand (R) ausgelesen wird.

5. Anordnung nach einem der Ansprüche 1 bis 4,  
dadurch gekennzeichnet,  
dass in einem Spannungssense-Bereich (II) eine Spannungs-  
sense-Metallisierung (11) über einen Kontaktstöpsel (13) mit  
5 einer Sourcemetallisierung (10) in einem Transistorbereich  
(I) verbunden ist.

6. Anordnung nach einem der Ansprüche 1 bis 5,  
dadurch gekennzeichnet,  
10 dass das Leistungshalbleiterbauelement ein Kompensationsbau-  
element ist.

7. Anordnung nach einem der Ansprüche 1 bis 6,  
dadurch gekennzeichnet,  
15 dass das Leistungshalbleiterbauelement ein Vertikalbauelement  
oder ein Lateralbauelement ist.

8. Anordnung nach einem der Ansprüche 1 bis 7,  
dadurch gekennzeichnet,  
20 dass der Spannungsteiler einen eigenen Abgriff bzw. Anschluss  
(VS) hat.

9. Anordnung nach Anspruch 6,  
dadurch gekennzeichnet,  
25 dass Kompensationsgebiete (4) floatend oder mit Wannen (5)  
des gleichen Leitungstyps wie die Kompensationsgebiete (4)  
verbunden sind.

10. Anordnung nach Anspruch 9,  
30 dadurch gekennzeichnet,  
dass die Kompensationsgebiete (4, 4') säulenförmig oder ku-  
gelförmig sind.

---

Zusammenfassung

Anordnung zur Erzeugung eines Spannungssense-Signales in  
einem Leistungshalbleiterbauelement

5

Die Erfindung betrifft eine Anordnung zur Erzeugung eines  
Niederspannungssignales ( $V_{\text{SOURCE}}$ ), das zu der zwischen Source  
(S) und Drain (D) eines Leistungstransistors anliegenden  
Hochspannung proportional ist. Hierzu befindet sich in einem  
10 Spannungssense-Bereich (II) ein kapazitiver Spannungsteiler  
aus der Source-Gate-Kapazität als Niederspannungsabgriff und  
der Source-Drain-Kapazität als Hochspannungselement.

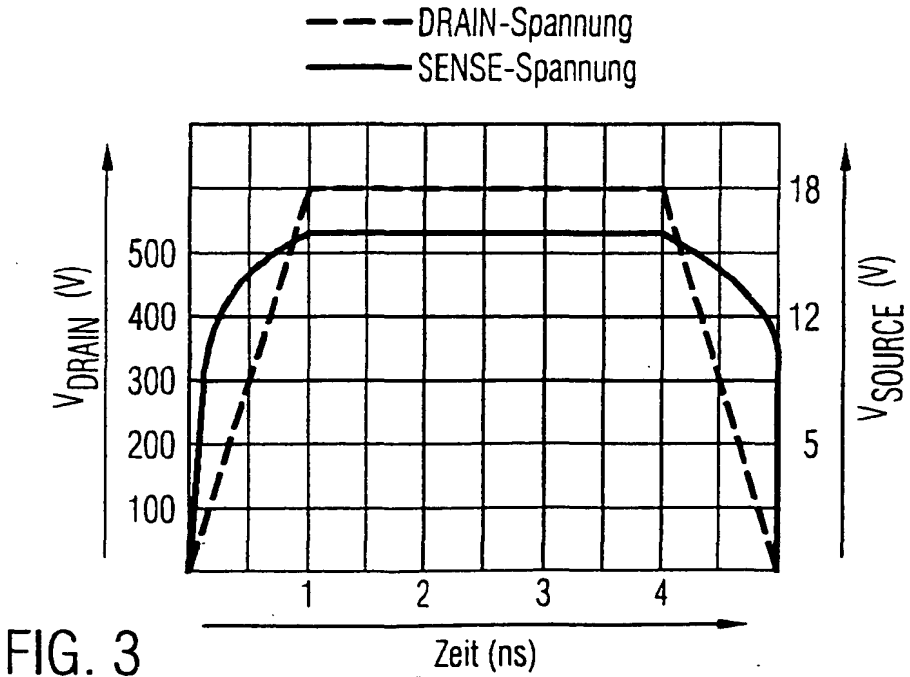
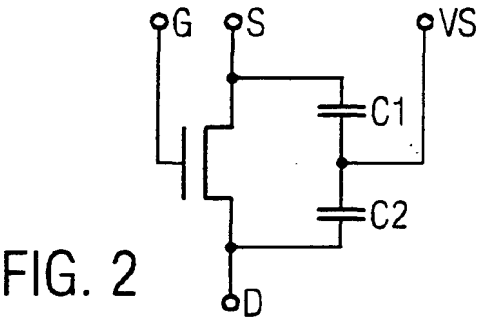
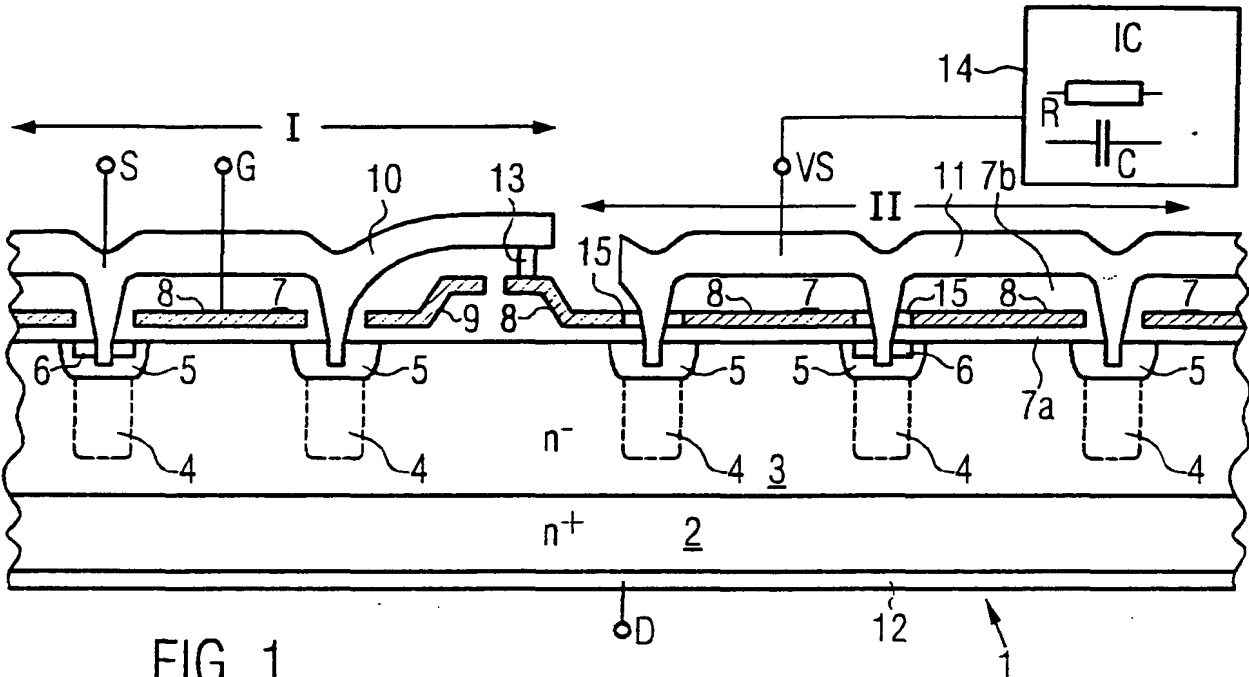
(Fig. 1)

---

Bezugszeichenliste

1	Halbleiterkörper
2	Halbleitersubstrat
3	epitaktische Schicht
4, 4'	Kompensationsgebiete
5	p-Wannen
6	Sourcezone
7	Isolierschicht
7a	Gateoxid
7b	Zwischenoxid
8	Gateelektroden
9	Feldplatten
10	Sourcemetallisierung
11	Spannungssense-Metallisierung
12	Drainmetallisierung
13	Kontaktstöpsel
14	Niedervolt-Control-IC
15	Öffnung
I	Transistorbereich
II	Spannungssense-Bereich
VS	Spannungssense-Anschluss
G	Gateanschluss
S	Sourceanschluss
D	Drainanschluss
C1, C2, C	Kapazitäten
R	Widerstand





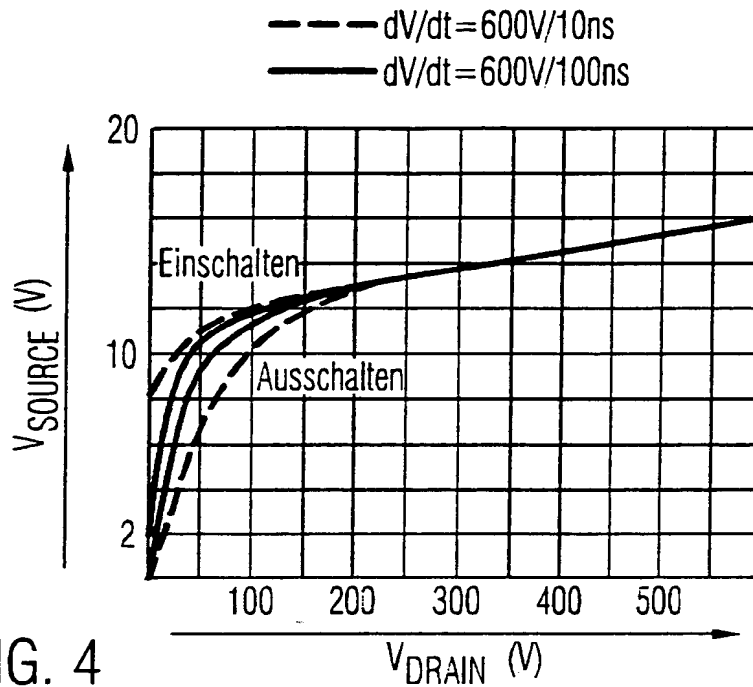


FIG. 4

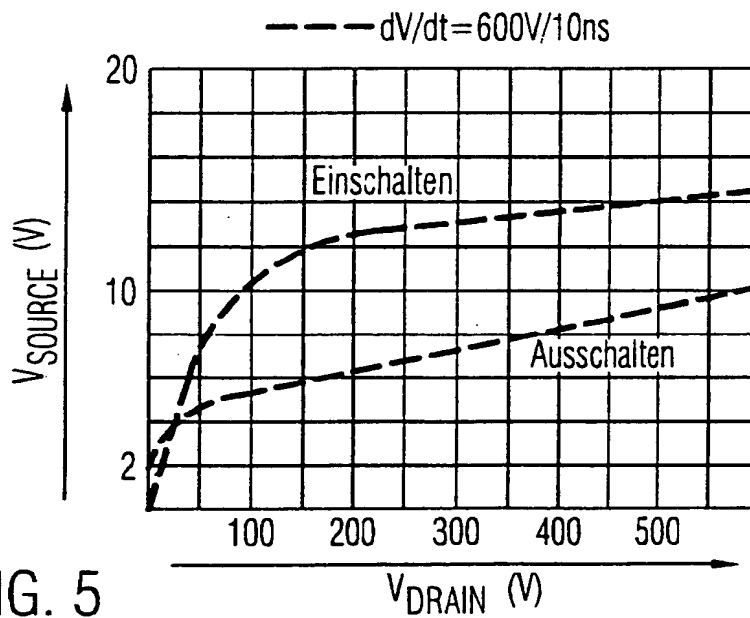


FIG. 5

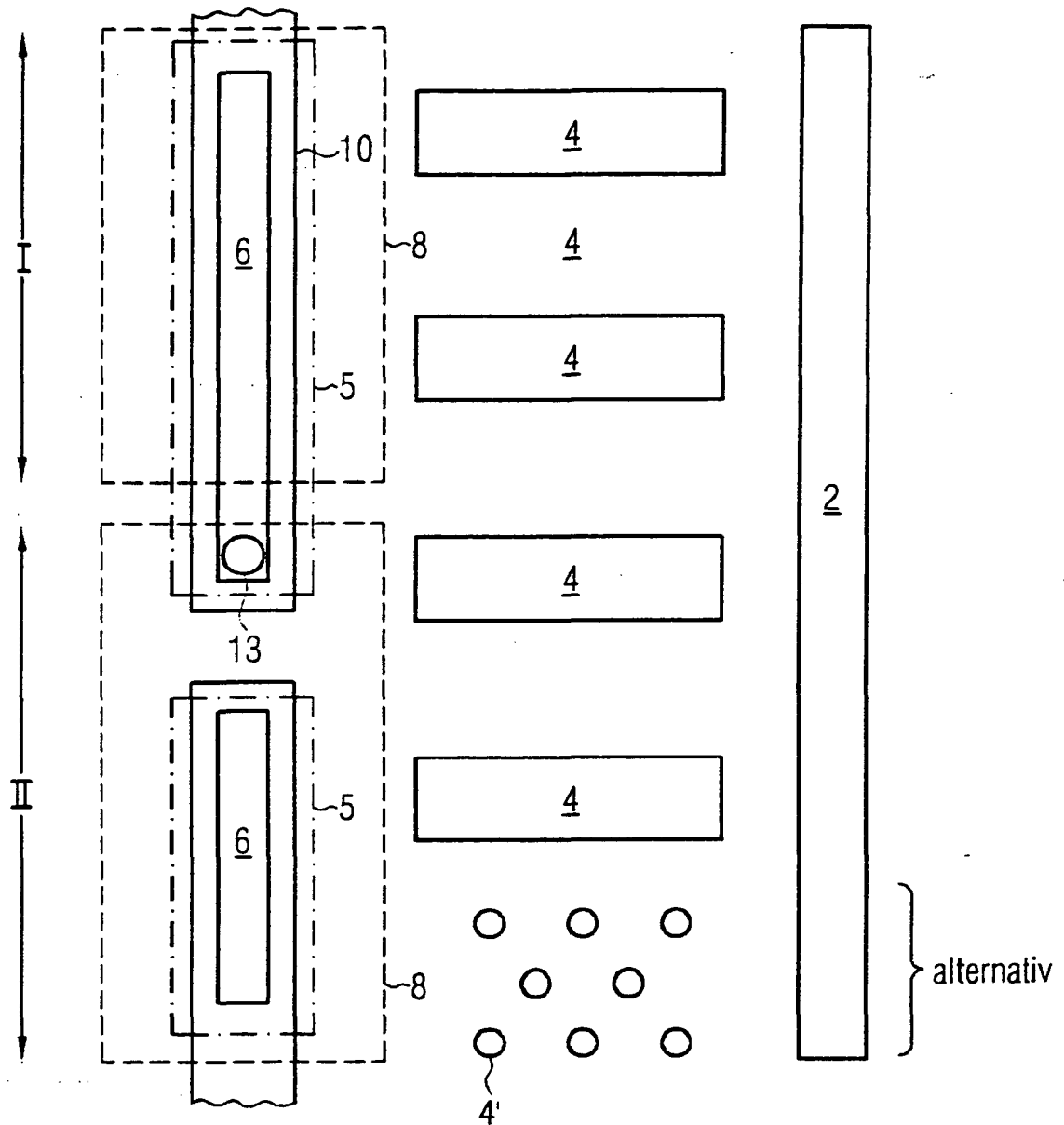


FIG. 6

Figur für die Zusammenfassung

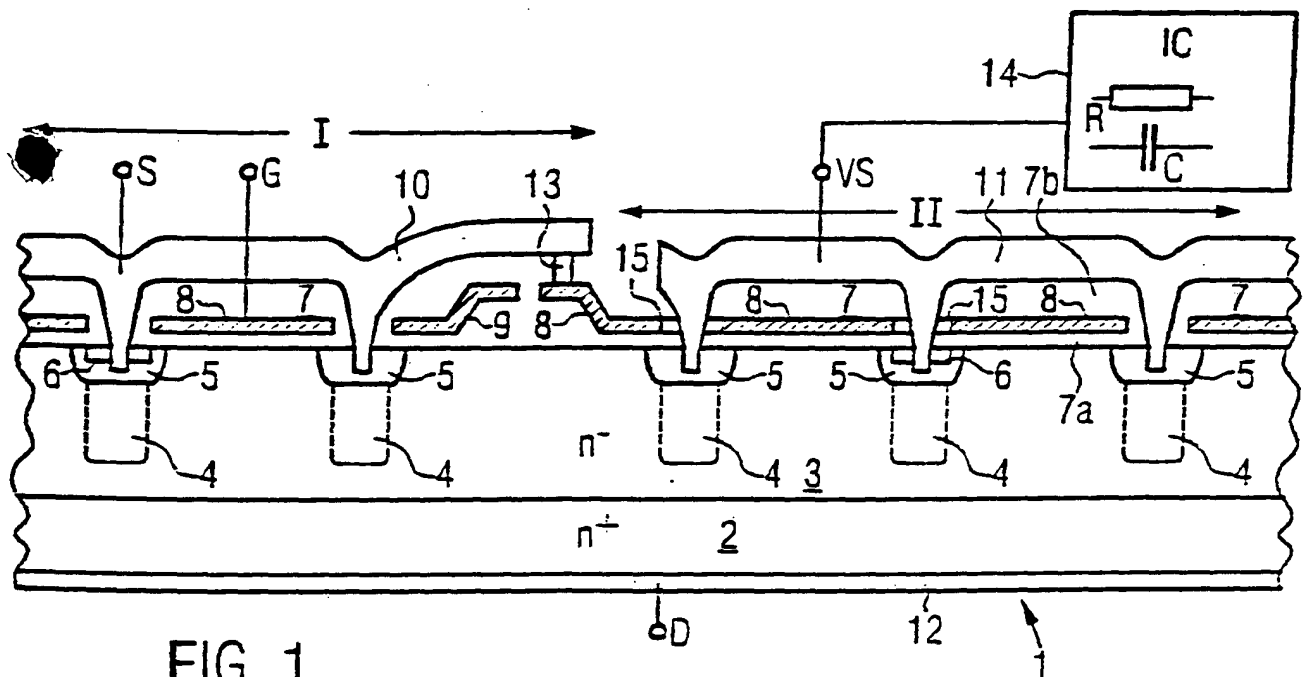


FIG. 1